

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-037341

(43)Date of publication of application : 05.02.2004

(51)Int.Cl.

G01D 5/36
G01D 5/38

(21)Application number : 2002-196841

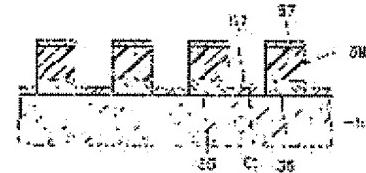
(71)Applicant : MITSUTOYO CORP

(22)Date of filing : 05.07.2002

(72)Inventor : TAKAHASHI TOMOTAKA
TOMINAGA ATSUSHI
NIHONMORI SHINGO**(54) MANUFACTURING METHOD OF PHOTOELECTRIC ENCODER AND SCALE****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a method for manufacturing a scale of a photoelectric encoder where a precision phase lattice is easily manufactured.

SOLUTION: A pattern is formed on a substrate 51 such as a glass that corresponds protruding parts of a protruding/recessed pattern of the phase lattice, by etching, for removing, a first light reflection film 55 with a photoresist 59 as a mask. With the photoresist 59 remaining on the pattern, a second light reflection film 57 which is thinner than the first light reflection film 55 is formed on the bottom of a groove 61. Then, the photoresist 59 on the pattern is removed to provide a phase lattice.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2004-37341

(P2004-37341A)

(43)公開日 平成16年2月5日(2004.2.5)

(51)Int.C1.7

G 0 1 D 5/36

G 0 1 D 5/38

F I

G 0 1 D 5/36

G 0 1 D 5/36

G 0 1 D 5/38

テーマコード(参考)

S 2 F 1 0 3

C

審査請求 未請求 請求項の数 5 O L

(全8頁)

(21)出願番号 特願2002-196841(P2002-196841)

(22)出願日 平成14年7月5日(2002.7.5)

(71)出願人 000137694

株式会社ミツトヨ

神奈川県川崎市高津区坂戸一丁目20番1号

(74)代理人 100092820

弁理士 伊丹 勝

(72)発明者 高橋 知隆

神奈川県川崎市高津区坂戸1丁目20番1号

株式会社ミツトヨ内

(72)発明者 富永 淳

神奈川県川崎市高津区坂戸1丁目20番1号

株式会社ミツトヨ内

(72)発明者 二本森 辰悟

神奈川県川崎市高津区坂戸1丁目20番1号

株式会社ミツトヨ内

最終頁に続く

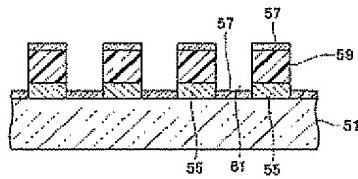
(54)【発明の名称】光電式エンコーダ及びスケールの製造方法

(57)【要約】

【課題】高精度な位相格子の作製が容易となる光電式エンコーダのスケールの製造方法を提供する。

【解決手段】フォトレジスト59をマスクとして第1光反射膜55をエッティング除去することにより、ガラスなどの基板51上に位相格子の凹凸パターンの凸部と対応するパターンを形成する。このパターン上にフォトレジスト59が残った状態で真空蒸着により、溝61の底に厚みが第1光反射膜55より小さい第2光反射膜57を成膜する。そして、パターン上のフォトレジスト59を除去して位相格子を作製する。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

光電式エンコーダを構成するスケールの製造方法であって、
 基板上に第1光反射膜を成膜する工程と、
 レジストをマスクとして前記第1光反射膜を選択的にエッチング除去して複数の溝を形成することにより、前記第1光反射膜を位相格子の構成要素となる複数の凸部と対応するパターンにする工程と、
 前記位相格子の構成要素となる第2光反射膜を、前記第1光反射膜より厚みが薄くなるように、前記パターン上に前記レジストを残した状態で前記複数の溝の底に成膜する工程と、
 前記第2光反射膜の成膜後に前記レジストを除去する工程と、
 を備えることを特徴とする光電式エンコーダのスケールの製造方法。

10

【請求項 2】

前記第2光反射膜は真空蒸着により成膜されることを特徴とする請求項1記載の光電式エンコーダのスケールの製造方法。

20

【請求項 3】

第1光反射膜とこれより膜厚が薄い第2光反射膜とを交互に配置した凹凸パターンにより構成される位相格子を含むスケールと、
 前記位相格子に照射する光を発生する光源部と、
 前記位相格子で反射された前記光源部からの光を受光する受光素子が配置されると共に前記スケールとギャップを設けて配置された受光部と、
 を備えることを特徴とする光電式エンコーダ。

20

【請求項 4】

前記第1光反射膜と前記第2光反射膜は同一平面上に配置されていることを特徴とする請求項3記載の光電式エンコーダ。

【請求項 5】

前記凹凸パターンの凸部は、前記第1反射膜のみにより構成されていることを特徴とする請求項3又は4記載の光電式エンコーダ。

30

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】
 本発明は、精密測定に使用される光電式エンコーダおよびこれの構成要素となるスケールの製造方法に関する。

40

【0002】**【従来の技術】**

従来から直線変位や角度変位などの精密な測定に光電式エンコーダが利用されている。光電式エンコーダには様々なタイプがあり、例えば、複数のフォトダイオードがアレイ状に配置された受光部と、受光部に対して相対移動可能に対向配置されると共に反射型の位相格子が形成されたスケールと、この位相格子に光を照射する光源部と、を含んで構成されたタイプがある。このタイプでは、スケールの位相格子で反射されて生成された信号光を受光部のフォトダイオードで受光し、光電変換されて発生した電気信号を利用して直線など変位量を演算する。

【0003】**【発明が解決しようとする課題】**

スケールの位相格子により受光部で受光される信号光が生成されるので、位相格子は大変重要な要素である。高精度な位相格子を容易に作製できることが望まれる。

50

【0004】

本発明は、かかる問題点に鑑みてなされたもので、高精度な位相格子の作製が容易となる光電式エンコーダのスケールの製造方法及び簡単な構造の位相格子を有する光電式エンコーダを提供することを目的とする。

【0005】**【課題を解決するための手段】**

本発明に係る光電式エンコーダのスケールの製造方法は、基板上に第1光反射膜を成膜する工程と、レジストをマスクとして第1光反射膜を選択的にエッチング除去して複数の溝を形成することにより、第1光反射膜を位相格子の構成要素となる複数の凸部と対応するパターンにする工程と、位相格子の構成要素となる第2光反射膜を、第1光反射膜より厚みが薄くなるように、パターン上にレジストを残した状態で複数の溝の底に成膜する工程と、第2光反射膜の成膜後にレジストを除去する工程と、を備えることを特徴とする。

【0006】

本発明に係る光電式エンコーダのスケールの製造方法によれば、第1光反射膜のパターン上にレジストを残した状態で複数の溝の底に第2光反射膜を成膜することにより位相格子を作製している。よって、本発明によれば、第2光反射膜をリフトオフと同様な方法で形成しているので、位相格子の作製が容易となる。また、複数の溝の側面は第1光反射膜で構成されており、これらの溝に第1光反射膜より厚みが薄い第2光反射膜を成膜して位相格子を作製している。したがって、第1光反射膜と第2光反射膜との段差（つまり位相格子の凹凸パターンの段差）の大きさを精度良く制御できるので、高精度な位相格子を作製することができる。

【0007】

本発明に係るスケールの製造方法において、第2光反射膜は真空蒸着により成膜することができる。これによれば、溝の側面に第2光反射膜が付着しにくいので、位相格子の線幅を精度良く制御できる。よって、高精度な位相格子を作製することができる。

【0008】

本発明に係る光電式エンコーダは、第1光反射膜とこれより膜厚が薄い第2光反射膜とを交互に配置した凹凸パターンにより構成される位相格子を含むスケールと、位相格子に照射する光を発生する光源部と、位相格子で反射された光源部からの光を受光する受光素子が配置されると共にスケールとギャップを設けて配置された受光部と、を備えることを特徴とする。

【0009】

本発明に係る光電式エンコーダによれば、スケールに配置される位相格子を、第1光反射膜とこれより膜厚が薄い第2光反射膜とを交互に配置した凹凸パターンにより構成している。このため、位相格子の構造が簡単となるので、位相格子の作製が容易となる。

【0010】

本発明に係る光電式エンコーダにおいて、第1光反射膜と第2光反射膜を同一平面上に配置することができる。これによれば、第1および第2光反射膜のみの膜厚を考慮するだけで位相格子の凹凸パターンの段差の大きさを調節することができるので、高精度な位相格子にすることができる。

【0011】

本発明に係る光電式エンコーダにおいて、凹凸パターンの凸部は、第1反射膜のみにより構成することができる。これによれば、凹凸パターンの凸部が第1反射膜のみで構成されるので簡単な構造の位相格子にすることができる。

【0012】**【発明の実施の形態】**

以下、図面に基づいて本発明の一実施形態（以下、本実施形態という）について説明する。まず、本実施形態に係る光電式エンコーダの構成について説明する。図1はこの光電式エンコーダ1の概略構成を示す図である。光電式エンコーダ1は、光源部3と、ここで発生した光を反射する位相格子を含むスケール5と、この位相格子で反射された光が照射される受光アレイ7と、により構成される。

【0013】

光源部3は発光ダイオード（LED）31を備えており、発光ダイオード31は光を放射する発光素子の一例である。また、光源部3は、発光ダイオード31からの光が照射され

10

20

30

40

50

る位置に配置されたインデックススケール33を備える。スケール33は長尺状の透明基板9を含み、透明基板9の発光ダイオード31側に向く面と反対側の面上に光学格子35が形成されている。光学格子35は複数の遮光部37が所定のピッチを設けてリニヤ状(アレイ状の一例)に配置されたものである。

【0014】

インデックススケール33の光学格子35側には、インデックススケール33と所定のギャップを設けてスケール5が配置されている。スケール5はインデックススケール33よりも長手方向の寸法が大きく、図1にはその一部が表れている。図2はスケール5の一部の拡大断面図である。図1および図2を参照して、スケール5の構造を詳細に説明する。

10

【0015】

スケール5はガラス等から構成される長尺状の基板51を含む。基板51の一方の面がインデックススケール33の光学格子35と対向している。そして、この一方の面上には、位相格子53が配置されている。光源部3からの光は位相格子53に照射される。位相格子53は、第1光反射膜55とこれより膜厚が薄い第2光反射膜57とを交互に配置した凹凸パターンにより構成される。第1光反射膜55および第2光反射膜57の材料としては、例えばクロムや金がある。

20

【0016】

第1光反射膜55の材料と第2光反射膜57の材料は同一でもよいが、同等の光反射率であれば異なる材料でもよい。異なる材料の場合、位相格子53の凹凸パターンの寸法を設計どおりにするために、一方の光反射膜が他方の光反射膜の線膨張を補正できる材料が好み。例えば、光の波長 $\lambda = 600 \sim 650 \text{ nm}$ のとき、位相格子のピッチ=400nmとした場合、好ましくは、第1光反射膜55の厚みとしては、例えば、100~300nmである。第2光反射膜57の厚みとしては、例えば、20~100nmである。したがって、段差は例えば、80~200nmとなる。

20

【0017】

次に受光アレイ7(受光部の一例)について図1を用いて説明する。受光アレイ7は基板51の面のうち位相格子53が形成された面側に、所定のギャップを設けて配置されている。受光アレイ7は、受光面が位相格子53側に向くように配置された複数のフォトダイオード71(受光素子の一例)を含む。これにより、位相格子53で反射された光源部3からの光がフォトダイオード71により受光される。複数のフォトダイオード71は所定のピッチを設けてリニヤ状(アレイ状の一例)に、透明基板9に配置されている。つまり、本実施形態では受光アレイ7とインデックススケール33が同じ透明基板9に形成されている。なお、複数のフォトダイオード71がアレイ状に配置された構造以外に、大き目の一つの受光素子の全面に光学格子を備えた構造でもよい。

30

【0018】

受光アレイ7およびインデックススケール33を含む透明基板9と発光ダイオード31は図示しない筐体に納められており、この筐体はスケール5に対して図中のAで示すスケール5の長手方向に移動可能にされている。つまり、スケール5は上記筐体に対してAで示す方向に相対移動可能にされている。なお、上記のとおり光電式エンコーダ1はリニヤ(一次元)型であるが、本実施形態は二次元型にも適用できる。

40

【0019】

次に、光電式エンコーダ1の測定動作を簡単に説明する。発光ダイオード31から光をインデックススケール33に照射しながらスケール5をAで示す方向に相対移動させる。インデックススケール33に照射された光のうち、遮光部37間を通る光がスケール5の位相格子53で反射されて受光アレイ7のフォトダイオード71により検出される。詳しくは、第1光反射膜55で反射された光(例えば光L1)と、第2光反射膜57で反射された光(例えば光L2)との位相差により干渉された光の信号をフォトダイオード71で検出する。これにより光電変換されて発生した電気信号を利用して直線など変位量を演算し、その数値を図示しない表示部に出力する。

50

【0020】

次に、スケール5の製造方法の一例について詳細に説明する。図3から図6はこれを説明するための工程図であり、図2の断面図と対応する。まず、図3に示すように、ガラス等からなる基板51の上に、例えば、スペッタ蒸着により、クロムからなる第1光反射膜55を成膜する。第1光反射膜55の厚みは例えば、100～300nmである。この厚みは、位相格子53の凹凸パターンの段差（格子高さ）+第2光反射膜57の厚み、となる。第1光反射膜55上にレジストの一例であるフォトレジスト59を塗布して、これをプリベークする。

【0021】

次に、図4に示すように、位相格子53の構成要素となる複数の凸部のパターンと同じパターンにフォトレジスト59が露光されるように、露光用マスクを用いてフォトレジスト59を露光する。露光後、フォトレジスト59を現像し、 rinsing 处理をする。これにより、フォトレジスト59のパターンは位相格子53の構成要素となる複数の凸部と対応するパターンと同じになる。

10

【0022】

次に、図5に示すように、フォトレジスト59をマスクとして第1光反射膜55を選択的にエッチング除去して複数の溝61を形成する。これにより、第1光反射膜55は、位相格子53の構成要素となる複数の凸部と対応するパターン63となる。基板51と第1光反射膜55とのエッチング選択比を大きくすることにより、基板51をエッチングストップにすることができる。ここまで工程は振幅格子の製造方法と同じなので、振幅格子と同じ構造が作製される。振幅格子とは、光源部3からの光が凸部である第1光反射膜55で反射され、それ以外の部分では光が透過される光学格子である。

20

【0023】

次に、図6に示すように、フォトレジスト59を残した状態で、例えば、真空蒸着により、基板51上に厚みが第1光反射膜55より薄い第2光反射膜57を成膜する。これにより、各溝61の底やフォトレジスト59上に第2光反射膜57が成膜される。第2光反射膜57の厚みは例えば20～100nmである。第1光反射膜55と第2光反射膜57との厚みの差が位相格子53の段差となる。

30

【0024】

以上のように本実施形態では、リフトオフと同様の方法により、溝61の底に第2光反射膜57を選択的に形成する。溝61の側面に付着する第2光反射膜57の量が多くなると、位相格子53の実際の線幅と設計上の線幅とのずれが大きくなる。本実施形態では成膜法として、リフトオフで利用される真空蒸着のような比較的の低圧条件下で成膜する方法を用いているので、第2光反射膜57が溝61の側面に付着しにくい、いわゆる異方性の高い金属蒸着となる。よって、位相格子53の線幅を精度良く制御できるので、高精度な位相格子53を作製することができる。なお、第1光反射膜55上にはフォトレジスト59があるので、位相格子53の凹凸パターンの凸部（第1光反射膜55）の厚みが大きくなることはない。

40

【0025】

最後に、第1光反射膜55上に残っているフォトレジスト59を通常の方法で剥離することにより、図2に示すスケール5が完成する。

【0026】

以上説明したように、本実施形態に係る光電式エンコーダのスケールの製造方法によれば、第1光反射膜55のパターン63上にフォトレジスト59を残した状態で複数の溝61に、厚みが第1光反射膜55より薄い第2光反射膜57をリフトオフと同様な方法により成膜して位相格子53を作製している。このため、位相格子53の作製が容易となる。すなわち、振幅格子の製造方法にリフトオフを追加するだけで、位相格子53を作製できるので、位相格子53が形成されたスケール5を低コストで作製することができる。

50

【0027】

また、複数の溝61の側面は第1光反射膜55で構成されており、これらの溝61に第1光反射膜55より厚みが小さい第2光反射膜57を成膜して位相格子53を作製している

。このため、位相格子 5 3 の凹凸パターンの段差、つまり第 1 光反射膜 5 5 と第 2 光反射膜 5 7 との段差の大きさを精度良く制御できる。段差の大きさにより反射光の位相を調節するので、本実施形態によれば高精度な位相格子 5 3 を作製することができる。さらに、第 1 光反射膜 5 5 のパターン形成後に、第 2 光反射膜 5 7 を成膜するので、位相格子 5 3 の段差をスケール 5 の作製工程の比較的後の工程で確定させることができる。

【0028】

なお、例えば、図 4 に示すフォトレジスト 5 9 をマスクとして第 1 光反射膜 5 5 を選択的にエッチング除去する際、基板 5 1 に到達する前にエッチング除去を止めることにより、第 1 光反射膜 5 5 を位相格子の凹凸パターンに加工することも考えられる。しかし、エッチングを精度よく途中で止める制御はできないので、上記段差の大きさを所望の値にするのは困難である。また、凹凸パターンのうちエッチングを途中で止めた箇所では表面が粗くなるので、位相格子の性能が低下する。本実施形態では、溝 6 1 の底に成膜により第 2 光反射膜 5 7 を形成している。成膜によれば厚さの制御は比較的行い易いので、上記段差の大きさを所望の値にすることができる。10

【0029】

また、第 2 光反射膜 5 7 は溝 6 1 の側面に形成されないように、真空蒸着により成膜されるので、基板 5 1 との密着性が悪い。しかしながら、第 1 光反射膜 5 5 はスパッタ蒸着により成膜されるので、基板 5 1 との密着性が良い。そして、第 2 光反射膜 5 7 を挟むように第 1 光反射膜 5 5 が形成され、かつ第 2 光反射膜 5 7 より高い位置まで第 1 光反射膜 5 5 が形成されている。よって、ワイヤなどで位相格子 5 3 を掃除した際でも第 2 光反射膜 5 7 の剥離を防止することができる。20

【0030】

図 2 に示すように、本実施形態に係る光電式エンコーダ 1 によれば、スケール 5 に配置される位相格子 5 3 を、第 1 光反射膜 5 5 とこれより膜厚が薄い第 2 光反射膜 5 7 とを交互に配置した凹凸パターンにより構成しているので、簡単な構造の位相格子 5 3 にすることができる。

【0031】

また、第 1 光反射膜 5 5 および第 2 光反射膜 5 7 は基板 5 1 の同一平面上に形成されている。よって、第 1 光反射膜 5 5 および第 2 光反射膜 5 7 のみの膜厚を考慮するだけで位相格子 5 3 の段差の大きさを調節することができるので、高精度な位相格子にすることができる。つまり、段差の大きさを決定するのに考慮する要素が多くなると段差を精度よく調節するのが困難となるのである。30

【0032】

また、凹凸パターンの凸部 6 5 は、第 1 光反射膜 5 5 のみにより構成されている。よって、簡単な構造の位相格子 5 3 にすることができる。

【0033】

【発明の効果】

以上述べたように、本発明に係る光電式エンコーダのスケールの製造方法によれば、位相格子の作製が容易となる。また、第 1 光反射膜と第 2 光反射膜との段差、つまり位相格子の凹凸パターンの段差の大きさを精度良く制御できるので、高精度な位相格子を作製することができる。40

【0034】

また、本発明に係る光電式エンコーダによれば、位相格子の構造が簡単となるので、位相格子の作製が容易となる。

【図面の簡単な説明】

【図 1】本実施形態に係る光電式エンコーダの概略構成を示す図である。

【図 2】本実施形態に係る光電式エンコーダに備えられるスケールの一部の拡大断面図である。

【図 3】図 2 に示すスケールの製造方法の第 1 工程図である。

【図 4】図 2 に示すスケールの製造方法の第 2 工程図である。50

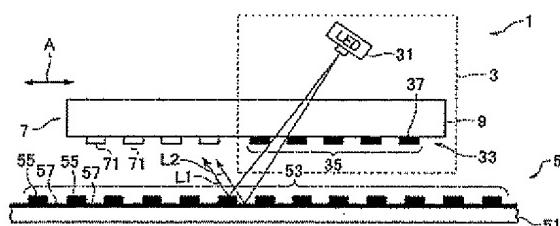
【図5】図2に示すスケールの製造方法の第3工程図である。

【図6】図2に示すスケールの製造方法の第4工程図である。

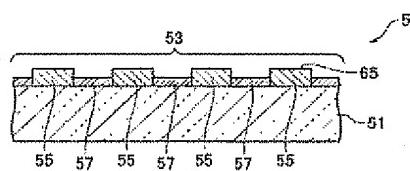
【符号の説明】

1・・・光電式エンコーダ、3・・・光源部、5・・・スケール、7・・・受光アレイ、
 9・・・透明基板、31・・・発光ダイオード、33・・・インデックススケール、35
 ・・・光学格子、37・・・遮光部、51・・・基板、53・・・位相格子、55・・・
 第1光反射膜、57・・・第2光反射膜、59・・・フォトレジスト、61・・・溝、6
 3・・・パターン、65・・・凸部、71・・・溝、71・・・フォトダイオード

【図1】



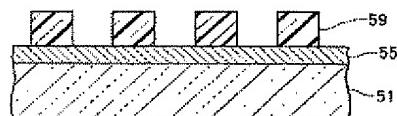
【図2】



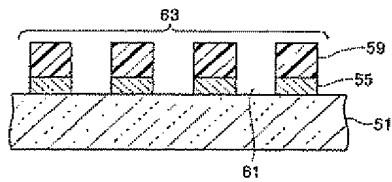
【図3】



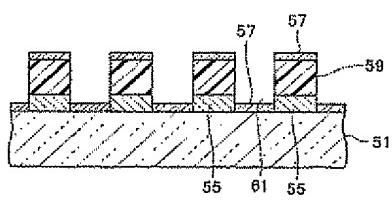
【図4】



【図5】



【図6】



フロントページの続き

F ターム(参考) 2F103 CA01 CA02 CA03 DA01 DA12 EA05 EA15 EA17 EA19 EA21
EA22 EB04 EB06 EB11 EB16 EB32